



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Takashi Tanimoto

Art Unit : Unknown

Serial No. : 09/775,402

Examiner : Unknown

Filed : February 1, 2001

Title : DRIVE APPARATUS FOR CCD IMAGE SENSOR

Commissioner for Patents  
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following applications:

- Japanese Application No. 2000-26894 filed February 4, 2001;
- Japanese Application No. 2000-26896 filed February 4, 2001; and
- Japanese Application No. 2000-26897 filed February 4, 2001.

Certified copies of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date:

May 11, 2001

Eric L. Prah

Reg. No. 32,590

Fish & Richardson P.C.  
225 Franklin Street  
Boston, MA 02110-2804  
Telephone: (617) 542-5070  
Facsimile: (617) 542-8906

20260473.doc

CERTIFICATE OF MAILING BY FIRST CLASS MAIL

I hereby certify under 37 CFR §1.8(a) that this correspondence is being deposited with the United States Postal Service as first class mail with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, Washington, D.C. 20231.

Date of Deposit

May 11, 2001

Signature

Typed or Printed Name of Person Signing Certificate

Linda Vega



日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 2月 4日

出願番号

Application Number:

特願2000-026894

出願人

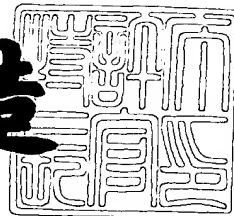
Applicant (s):

三洋電機株式会社

2000年11月10日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3094562

【書類名】 特許願

【整理番号】 KIB0991050

【提出日】 平成12年 2月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 19/0185  
H04N 5/335

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号  
三洋電機株式会社内

【氏名】 谷本 孝司

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 近藤 定男

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 電話 03-3837-7751 法務・知的財産部 東京事務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 バッファ回路及びバッファ回路を備えるドライバ

【特許請求の範囲】

【請求項1】 出力段にPチャネル型MOSトランジスタとNチャネル型MOSトランジスタが直列接続されたCMOSインバータ回路を備えるバッファ回路において、

前記Pチャネル型MOSトランジスタ及び前記Nチャネル型MOSトランジスタが同時にオンすることのないように、入力信号のそれらトランジスタのゲートへの印加タイミングを調整するタイミング調整回路を備える

ことを特徴とするバッファ回路。

【請求項2】 前記タイミング調整回路は、前記Pチャネル型MOSトランジスタ及び前記Nチャネル型MOSトランジスタのゲートに対して互いに一方のトランジスタのオフ期間内において他方のトランジスタをオンさせるスイッチング信号を印加する論理回路を備えて構成される請求項1記載のバッファ回路。

【請求項3】 請求項2に記載のバッファ回路において、

前記タイミング調整回路は、入力信号をそれぞれ一方入力端に入力し、互いに他方の出力信号をそれぞれ他方入力端に入力するAND回路及びOR回路の並列回路を備えて構成され、前記AND回路の出力信号を前記NチャネルMOSトランジスタのゲートに印加するとともに、前記OR回路の出力信号を前記PチャネルMOSトランジスタのゲートに印加する

ことを特徴とするバッファ回路。

【請求項4】 前記タイミング調整回路は、前記Pチャネル型MOSトランジスタのオンタイミングを遅延してそのオン期間を前記Nチャネル型MOSトランジスタのオフ期間よりも短くする第1の遅延回路と、前記Nチャネル型MOSトランジスタのオンタイミングを遅延してそのオン期間を前記Pチャネル型MOSトランジスタのオフ期間よりも短くする第2の遅延回路とを備えて構成される請求項1記載のバッファ回路。

【請求項5】 前記第1の遅延回路は、信号反転時の立ち下がり時定数が大きく設定されたインバータ回路であり、前記第2の遅延回路は、信号反転時の立ち

上がり時定数が大きく設定されたインバータ回路である請求項4に記載のバッファ回路。

【請求項6】動作頻度や扱う電圧の異なる複数の機能回路と、それら各回路にあって各々所定の緩衝動作を行うバッファ回路とが1チップの半導体集積回路装置として混載されてなるバッファ回路を備えるドライバであって、

前記機能回路のうち、動作頻度の高い機能回路は、前記バッファ回路として、Pチャネル型MOSトランジスタとNチャネル型MOSトランジスタとが直列接続されたCMOSインバータ回路からなる出力段と、前記Nチャネル型MOSトランジスタがオフとなっている期間内に前記Pチャネル型MOSトランジスタをオンさせるスイッチング信号を入力信号に基づいて生成する第1のタイミング調整回路とを有するバッファ回路を備え、

前記機能回路のうち、動作頻度の低い、若しくは扱う電圧の高い機能回路は、前記バッファ回路として、Pチャネル型MOSトランジスタとNチャネル型MOSトランジスタとが直列接続されたCMOSインバータ回路からなる出力段と、前記Pチャネル型MOSトランジスタのオンタイミングを遅延してそのオン期間を前記Nチャネル型MOSトランジスタのオフ期間よりも短くするとともに前記Nチャネル型MOSトランジスタのオンタイミングを遅延してそのオン期間を前記Pチャネル型MOSトランジスタのオフ期間よりも短くするスイッチング信号を入力信号に基づいて生成する第2のタイミング調整回路とを有するバッファ回路を備える

ことを特徴とするバッファ回路を備えるドライバ。

【請求項7】前記第1のタイミング調整回路は、前記入力信号をそれぞれ一方入力端に入力し、互いに他方の出力信号をそれぞれ他方入力端に入力するAND回路及びOR回路の並列回路を備えて構成されて、前記AND回路の出力信号を対応するCMOSインバータ回路の前記Nチャネル型MOSトランジスタのゲートに印加するとともに、前記OR回路の出力信号を同CMOSインバータ回路の前記Pチャネル型MOSトランジスタのゲートに印加するものであり、

前記第2のタイミング調整回路は、前記Pチャネル型MOSトランジスタのオンタイミングを遅延すべく信号反転時の立ち下がり時定数が大きく設定された第

1 のインバータ回路と、前記Nチャネル型MOSトランジスタのオンタイミングを遅延すべく信号反転時の立ち上がり時定数が大きく設定された第2のインバータ回路とを備えて構成される

請求項6記載のバッファ回路を備えるドライバ。

【請求項8】 請求項6または7記載のバッファ回路を備えるドライバにおいて、

当該ドライバは、CCDイメージセンサを駆動する装置であり、

前記動作頻度の高い機能回路は、前記CCDの電荷転送動作に用いられるパルスのパルス電圧を昇圧生成する第1のチャージポンプであるとともに、このチャージポンプに用いられるバッファ回路は、当該チャージポンプのポンピングコンデンサに入力されるポンピングクロックを遅延する回路であり、

前記動作頻度の低い、若しくは扱う電圧の高い機能回路は、前記CCDの前記電荷転送動作に用いられるパルスを生成出力する回路、若しくは前記CCDのバイアス電圧を昇圧生成する第2のチャージポンプであるとともに、前記電荷転送動作に用いられるパルスを生成出力する回路に用いられるバッファ回路は、別途印加されるタイミングクロックを前記第1のチャージポンプの出力電圧に基づいてレベル変換する回路であり、前記第2のチャージポンプに用いられるバッファ回路は、当該チャージポンプのポンピングコンデンサに入力されるポンピングクロックを遅延する回路である

ことを特徴とするバッファ回路を備えるドライバ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明はバッファ回路及びそれを備えるドライバに関し、詳しくは、出力段にCMOSインバータを備えたバッファ回路の消費電流を低下させる技術に関する。

【0002】

【従来の技術】

図7に、従来のバッファ回路の構成を示す。同図に示されるように、このバッ

ファ回路は、入力インバータ回路3、及びPチャネル型MOSトランジスタ $TR_p$ とNチャネル型MOSトランジスタ $TR_n$ とを直列接続した出力段CMOSインバータ回路10等を備えて構成される。ここでPチャネル型MOSトランジスタ $TR_p$ のソースSは電源VDDに接続され、Nチャネル型MOSトランジスタ $TR_n$ のソースSはGND（接地）に接続されている。

【0003】

このようなバッファ回路においては通常、上記入力インバータ回路3及び出力段CMOSインバータ回路10での動作遅延に伴い、入力端子1に入力された入力信号INは、所定時間遅延されて出力端子2から出力される。なお、同バッファ回路が各種回路の出力バッファとして用いられる場合には、出力端子2に接続される負荷に応じて、上記出力段CMOSインバータ回路10を構成するトランジスタ $TR_p$ 、 $TR_n$ の大きさ（電流容量）等が適宜設計される。

【0004】

【発明が解決しようとする課題】

ところで、上記出力段にCMOSインバータ回路10を備えたバッファ回路においては、簡単な回路構成にて信号の遅延や任意負荷の駆動を行うことができるものの、同CMOSインバータ回路10における上記トランジスタ $TR_p$ 、 $TR_n$ のスイッチングの際には、それらトランジスタに流れる貫通電流が無視できないものとなっている。

【0005】

特に、負荷の駆動を行うバッファ回路にあっては、その出力段CMOSインバータ回路も単にロジック反転等に使用されるCMOSインバータ回路に比べてその貫通電流は大きな値となる。そのため、このような出力段CMOSインバータ回路を備えたバッファ回路を多数使用するドライバ等において、上記貫通電流に伴う電力の浪費や信頼性の低下も避け得ないものとなっている。

【0006】

本発明は上記実情に鑑みてなされたものであり、その目的とするところは、出力段にCMOSインバータ回路を備えながらもその貫通電流を好適に防止することの可能なバッファ回路、及び同バッファ回路を備えるドライバを提供すること

にある。

【0007】

【課題を解決するための手段】

以下、上記目的を達成するための手段及びその作用効果について記載する。

請求項1に記載の発明は、出力段にPチャネル型MOSトランジスタとNチャネル型MOSトランジスタが直列接続されたCMOSインバータ回路を備えるバッファ回路において、前記Pチャネル型MOSトランジスタ及び前記Nチャネル型MOSトランジスタが同時にオンすることのないように、入力信号のそれらトランジスタのゲートへの印加タイミングを調整するタイミング調整回路を備えることをその要旨とする。

【0008】

同構成によれば、上記タイミング調整回路によって、CMOSインバータ回路を構成するPチャネル型MOSトランジスタ及びNチャネル型MOSトランジスタは同時にオンすることはない。そのため、それらトランジスタに大きな貫通電流の流れることが好適に防止され、同トランジスタの信頼性を向上させるとともに、当該バッファ回路としての消費電力を低下させることができるようになる。

【0009】

請求項2に記載の発明においては、請求項1記載のバッファ回路において、前記タイミング調整回路は、前記Pチャネル型MOSトランジスタ及び前記Nチャネル型MOSトランジスタのゲートに対して互いに一方のトランジスタのオフ期間内において他方のトランジスタをオンさせるスイッチング信号を印加する論理回路を備えて構成されることをその要旨とする。

【0010】

同構成によれば、上記タイミング調整回路を構成する論理回路により構成されるとともに、Pチャネル型MOSトランジスタ及びNチャネル型MOSトランジスタは各々他方がオフしている間のみオンされる。そのため、それらトランジスタが同時にオンすることは確実に防止されるようになる。

【0011】

請求項3に記載の発明は、請求項2に記載のバッファ回路において、前記タイ



ミング調整回路は、入力信号をそれぞれ一方入力端に入力し、互いに他方の出力信号をそれぞれ他方入力端に入力するAND回路及びOR回路の並列回路を備えて構成され、前記AND回路の出力信号を前記NチャネルMOSトランジスタのゲートに印加するとともに、前記OR回路の出力信号を前記PチャネルMOSトランジスタのゲートに印加することをその要旨とする。

## 【0012】

同構成によれば、論理回路にて構成されるタイミング調整回路を簡易且つ好適に形成することができる。

請求項4に記載の発明は、請求項1記載のバッファ回路において、前記タイミング調整回路は、前記Pチャネル型MOSトランジスタのオンタイミングを遅延してそのオン期間を前記Nチャネル型MOSトランジスタのオフ期間よりも短くする第1の遅延回路と、前記Nチャネル型MOSトランジスタのオンタイミングを遅延してそのオン期間を前記Pチャネル型MOSトランジスタのオフ期間よりも短くする第2の遅延回路とを備えて構成されることをその要旨とする。

## 【0013】

同構成によれば、各ゲートスイッチング信号の長い立ち上がり時間または長い立ち下がり時間の差を利用して、Pチャネル型MOSトランジスタがオンする前にNチャネル型MOSトランジスタをオンさせるとともに、Nチャネル型MOSトランジスタがオンする前にPチャネル型MOSトランジスタをオンさせることができる。そのため、それらトランジスタが同時にオンすることは好適に防止されるようになる。

## 【0014】

請求項5に記載の発明は、請求項4に記載のバッファ回路において、前記第1の遅延回路は、信号反転時の立ち下がり時定数が大きく設定されたインバータ回路であり、前記第2の遅延回路は、信号反転時の立ち上がり時定数が大きく設定されたインバータ回路であることをその要旨とする。

## 【0015】

同構成によれば、上記第1の遅延回路及び第2の遅延回路を極めて簡素な構成により形成することができる。そのため、従来のバッファ回路にわずかな回路構

成を追加するのみで本バッファ回路を形成することができ、その追加コストを少なく抑えることができる。

【0016】

請求項6に記載の発明は、動作頻度や扱う電圧の異なる複数の機能回路と、それら各回路にあって各々所定の緩衝動作を行うバッファ回路とが1チップの半導体集積回路装置として混載されてなるバッファ回路を備えるドライバであって、前記機能回路のうち、動作頻度の高い機能回路は、前記バッファ回路として、Pチャネル型MOSトランジスタとNチャネル型MOSトランジスタとが直列接続されたCMOSインバータ回路からなる出力段と、前記Nチャネル型MOSトランジスタがオフとなっている期間内に前記Pチャネル型MOSトランジスタをオンさせるスイッチング信号を入力信号に基づいて生成する第1のタイミング調整回路とを有するバッファ回路を備え、前記機能回路のうち、動作頻度の低い、若しくは扱う電圧の高い機能回路は、前記バッファ回路として、Pチャネル型MOSトランジスタとNチャネル型MOSトランジスタとが直列接続されたCMOSインバータ回路からなる出力段と、前記Pチャネル型MOSトランジスタのオンタイミングを遅延してそのオン期間を前記Nチャネル型MOSトランジスタのオフ期間よりも短くするとともに前記Nチャネル型MOSトランジスタのオンタイミングを遅延してそのオン期間を前記Pチャネル型MOSトランジスタのオフ期間よりも短くするスイッチング信号を入力信号に基づいて生成する第2のタイミング調整回路とを有するバッファ回路を備えることをその要旨とする。

【0017】

同構成によれば、ドライバ内の動作頻度や扱う電圧の異なる複数の機能回路に備えられるバッファ回路は、それら機能回路の動作頻度等に応じて、前記第1のタイミング調整回路を有するバッファ回路と前記第2のタイミング調整回路を有するバッファ回路とによって適宜使い分けして備えられる。すなわち、動作頻度の高い機能回路には、動作の確実な第1のタイミング調整回路を有するバッファ回路が備えられ、一方、動作頻度の低い、若しくは扱う電圧の高い機能回路には、回路規模の小さい第2のタイミング調整回路を有するバッファ回路が備えられている。そのため、同ドライバ内の回路の消費電力を低減しつつ、その確実な動

作を得ること、あるいは回路規模の増大を最小限に抑えることができるようになる。

【0018】

請求項7に記載の発明は、請求項6記載のバッファ回路を備えるドライバにおいて、前記第1のタイミング調整回路は、前記入力信号をそれぞれ一方入力端に入力し、互いに他方の出力信号をそれぞれ他方入力端に入力するAND回路及びOR回路の並列回路を備えて構成されて、前記AND回路の出力信号を対応するCMOSインバータ回路の前記Nチャネル型MOSトランジスタのゲートに印加するとともに、前記OR回路の出力信号を同CMOSインバータ回路の前記Pチャネル型MOSトランジスタのゲートに印加するものであり、前記第2のタイミング調整回路は、前記Pチャネル型MOSトランジスタのオンタイミングを遅延すべく信号反転時の立ち下がり時定数が大きく設定された第1のインバータ回路と、前記Nチャネル型MOSトランジスタのオンタイミングを遅延すべく信号反転時の立ち上がり時定数が大きく設定された第2のインバータ回路とを備えて構成されることをその要旨とする。

【0019】

同構成によれば、前記第1のタイミング調整回路及び第2のタイミング調整回路を、好適且つ簡易に構成することができる。

請求項8に記載の発明は、請求項6または7記載のバッファ回路を備えるドライバにおいて、当該ドライバは、CCDイメージセンサを駆動する装置であり、前記動作頻度の高い機能回路は、前記CCDの電荷転送動作に用いられるパルスのパルス電圧を昇圧生成する第1のチャージポンプであるとともに、このチャージポンプに用いられるバッファ回路は、当該チャージポンプのポンピングコンデンサに入力されるポンピングクロックを遅延する回路であり、前記動作頻度の低い、若しくは扱う電圧の高い機能回路は、前記CCDの前記電荷転送動作に用いられるパルスを生成出力する回路、若しくは前記CCDのバイアス電圧を昇圧生成する第2のチャージポンプであるとともに、前記電荷転送動作に用いられるパルスを生成出力する回路に用いられるバッファ回路は、別途印加されるタイミングクロックを前記第1のチャージポンプの出力電圧に基づいてレベル変換する回

路であり、前記第 2 のチャージポンプに用いられるバッファ回路は、当該チャージポンプのポンピングコンデンサに入力されるポンピングクロックを遅延する回路であることをその要旨とする。

#### 【0020】

同構成によれば、CCDドライバ内の動作頻度や扱う電圧の異なる複数の機能回路（チャージポンプ、ドライブ回路等）に備えられるバッファ回路は、それら機能回路の動作頻度等に応じて、前記第 1 のタイミング調整回路を有するバッファ回路と前記第 2 のタイミング調整回路を有するバッファ回路とによって適宜使い分けして備えられている。そのため、同 CCD ドライバ内の機能回路の消費電力を低減しつつ、その確実な動作を得ること、あるいは回路規模の増大を最小限に抑えることができるようになる。

#### 【0021】

##### 【発明の実施の形態】

##### （第 1 の実施の形態）

以下、本発明にかかるバッファ回路の第 1 の実施の形態について、図 1 及び図 2 を参照して説明する。

#### 【0022】

図 1 は、本実施の形態にかかるバッファ回路の構成を示す回路図である。

同図 1 に示すように、この回路は、その基本的には先に示した従来のバッファ回路と同様に、入力インバータ回路 3、及び P チャネル型 MOS トランジスタ  $T_{Rp}$  と N チャネル型 MOS トランジスタ  $T_{Rn}$  との直列回路からなる出力段 CMOS インバータ回路 10 等を備えて構成される。

#### 【0023】

これらバッファ回路としての基本構成に加え、本実施の形態のバッファ回路はさらに、OR 回路 21 及び AND 回路 22 の並列回路からなるタイミング調整回路 20 を備えている。

#### 【0024】

ここで、上記 OR 回路 21 の一方の入力端には前記入力インバータ回路 3 の出力が、その他方の入力端には上記 AND 回路 22 の出力が入力される。また、同

OR回路21の出力は上記AND回路22及び前記Pチャネル型MOSトランジスタTR<sub>p</sub>のゲートにスイッチング信号P<sub>in</sub>として入力される。

【0025】

また、上記AND回路22の一方の入力端には前記入力インバータ回路3の出力が、その他方の入力端には上記OR回路21の出力が入力される。また、同AND回路22の出力は上記OR回路21及び前記Nチャネル型MOSトランジスタTR<sub>n</sub>のゲートにスイッチング信号N<sub>in</sub>として入力される。

【0026】

次に、このように構成される本実施の形態のバッファ回路の動作を図2のタイミングチャートを参照して説明する。

同図2に示す時刻t<sub>1</sub>において入力信号INが論理「H（ハイ）」レベル（V<sub>DD</sub>）に変化すると（図2（a）参照）、入力インバータ回路3の出力は論理「L（ロー）」レベル（0ボルト）となる。そして、その所定時間後の時刻t<sub>2</sub>においては、まずAND回路22の出力である上記スイッチング信号N<sub>in</sub>が論理「L」レベルとなり（図2（c）参照）、これに伴ってNチャネル型MOSトランジスタTR<sub>n</sub>はオフとなる。

【0027】

また、このAND回路22の論理「L」レベルの出力がOR回路21に入力されて所定時間後の時刻t<sub>3</sub>においては、同OR回路21の出力である上記スイッチング信号P<sub>in</sub>が論理「L」レベルとなる（図2（b）参照）。これに伴ってPチャネル型MOSトランジスタTR<sub>p</sub>はオンとなり、バッファ回路の出力信号OUTは論理「H」レベルとなる（図2（d）参照）。

【0028】

一方、同図2に示す時刻t<sub>4</sub>において入力信号INが論理「L」レベルに変化すると、入力インバータ回路3の出力は論理「H」レベルとなる。そして、その所定時間後の時刻t<sub>5</sub>においては、まずOR回路21の出力P<sub>in</sub>が論理「H」レベルとなり、これに伴ってPチャネル型MOSトランジスタTR<sub>p</sub>はオフとなる。

【0029】

また、このOR回路21の論理「H」レベルの出力がAND回路22に入力されて所定時間後の時刻 $t_6$ においては、同AND回路22の出力 $N_{in}$ が論理「H」レベルとなる(図2(c)参照)。これに伴ってNチャネル型MOSトランジスタ $TR_n$ はオンとなり、バッファ回路の出力信号OUTは論理「L」レベルとなる(図2(d)参照)。以後、入力信号INのレベル変化に応じて同様の動作を繰り返す。

## 【0030】

すなわち、本実施の形態においては、同図2に示されるように、Pチャネル型MOSトランジスタ $TR_p$ のオフ期間 $\tau_{poff}$ 内においてNチャネル型MOSトランジスタ $TR_n$ のオン期間 $\tau_{non}$ が形成されるとともに、Nチャネル型MOSトランジスタ $TR_n$ のオフ期間 $\tau_{noff}$ 内においてPチャネル型MOSトランジスタ $TR_p$ のオン期間 $\tau_{pon}$ が形成される。そのため、これらトランジスタ $TR_p$ 、 $TR_n$ のスイッチングに際して、同トランジスタ $TR_p$ 、 $TR_n$ が同時にオンすることではなく、同トランジスタ $TR_p$ 、 $TR_n$ に貫通電流が流れることも好適に防止されるようになる。

## 【0031】

以上説明したように、本実施の形態のバッファ回路によれば、以下のような効果を得ることができる。

(1) タイミング調整回路20によって、トランジスタ $TR_p$ 、 $TR_n$ が同時にオンすることのないスイッチング信号 $P_{in}$ 、 $N_{in}$ が形成される。そのため、同トランジスタ $TR_p$ 、 $TR_n$ に大きな貫通電流の流れることが好適に防止され、同トランジスタ $TR_p$ 、 $TR_n$ の信頼性を向上させるとともに、当該バッファ回路としての消費電力を低下させることができるようになる。

## 【0032】

(2) タイミング調整回路20は上記OR回路21及びAND回路22の論理回路により構成されるため、これら論理回路により形成される上記スイッチング信号 $P_{in}$ 、 $N_{in}$ は確実に信頼性の高いものとなる。

## 【0033】

なお、上記実施の形態は以下のようにその構成を変更して実施することもでき

る。

・ タイミング調整回路 20 の論理回路の構成は、先の図 1 に示した構成に限られない。要は、トランジスタ  $T_{Rp}$ 、 $T_{Rn}$  が同時にオンすることのないスイッチング信号  $P_{in}$ 、 $N_{in}$  を形成することのできる回路であればよい。

【0034】

・ Nチャネル型 MOS トランジスタ  $T_{Rn}$  のソース S をグランド電位 GND (0 ボルト) とする例を示したが、同ソース S を負電位とする回路についても同様に適用することができる。

【0035】

(第 2 の実施の形態)

次に、本発明にかかるバッファ回路の第 2 の実施の形態を、前記第 1 の実施の形態との相違点を中心に図 3 及び図 4 を参照して説明する。なお、図 3 において図 1 に示した第 1 の実施の形態の回路と同様の要素にはそれぞれ同一の符号を付して示しており、それら要素についての重複する説明は割愛する。

【0036】

図 3 に示されるように、この第 2 の実施の形態のバッファ回路においては、タイミング調整回路の構成が前記第 1 の実施の形態のタイミング調整回路 20 の構成と相違する。また、本実施の形態においては、前記入力インバータ回路 3 は備えられていない。

【0037】

本実施の形態のタイミング調整回路 30 は、信号反転時の立ち下がり時定数、すなわちその出力の立ち下がり時間  $t_{f1}$  が以下に説明する第 2 のインバータ回路 32 の立ち下がり時間  $t_{f2}$  より長く (大きく) 設定された第 1 のインバータ回路 31、及び信号反転時の立ち上がり時定数、すなわちその出力の立ち上がり時間  $t_{r2}$  が同第 1 のインバータ回路 31 の立ち上がり時間  $t_{r1}$  より長く (大きく) 設定された第 2 のインバータ回路 32 からなる。そして、これら両インバータ回路 31、32 には入力信号  $I_N$  が入力され、前記第 1 のインバータ回路 31 の出力は前記 P チャネル MOS トランジスタのスイッチング信号  $P_{in}$  としてそのゲートに入力され、一方、前記第 2 のインバータ回路 32 の出力は前記 N チ

ヤネルMOSトランジスタのスイッチング信号 $N_{in}$ としてそのゲートに入力される。

【0038】

次に、このように構成される本実施の形態のバッファ回路の動作を図4のタイミングチャートを参照して説明する。

同図4に示す時刻 $t_1$ において入力信号 $I_N$ が論理「H」レベルに変化すると（図4（a）参照）、上記第2のインバータ回路32の出力である上記スイッチング信号 $N_{in}$ は論理「L」レベルとなり（図4（c）参照）、これに伴って同Nチャネル型MOSトランジスタ $TR_n$ はオフとなる。また、上記入力信号 $I_N$ の論理「H」レベルへの変化に伴って、上記第1のインバータ回路31の出力である上記スイッチング信号 $P_{in}$ のレベルが徐々に低下する（図4（b）参照）。そして、その所定時間後の時刻 $t_2$ において、同信号 $P_{in}$ のレベルが論理「L」レベル近傍まで低下すると、Pチャネル型MOSトランジスタ $TR_p$ はオンし、バッファ回路の出力信号 $OUT$ は論理「H」レベルとなる（図4（d）参照）。

【0039】

一方、同図4に示す時刻 $t_3$ において入力信号 $I_N$ が論理「L」レベルに変化すると、それに伴って第1のインバータ回路31の出力 $P_{in}$ が論理「H」レベルとなる（図4（b）参照）。すなわちPチャネル型MOSトランジスタ $TR_p$ がオフとなる。また、上記入力信号 $I_N$ の論理「L」レベルへの変化に伴って、上記インバータ回路32の出力 $N_{in}$ のレベルが徐々に上昇する（図4（c）参照）。そして、時刻 $t_4$ においてスイッチング信号 $N_{in}$ のレベルが所定レベルまで上昇すると、Nチャネル型MOSトランジスタ $TR_n$ がオンとなり、バッファ回路の出力信号 $OUT$ は論理「L」レベルとなる（図4（d）参照）。

【0040】

すなわち、本実施の形態においては、上述したように、図4に示す時刻 $t_1$ にNチャネル型MOSトランジスタ $TR_n$ がオフしてから所定時間後の、同図4に示す時刻 $t_2$ においてPチャネル型MOSトランジスタ $TR_p$ がオンとなる。また、図4に示す時刻 $t_3$ にPチャネル型MOSトランジスタ $TR_p$ がオフしてか



ら所定時間後の、同図4に示す時刻 $t_4$ にNチャネル型MOSトランジスタ $TR_n$ がオンとなる。

【0041】

そのため、これらトランジスタ $TR_p$ 、 $TR_n$ のスイッチングに際して、同トランジスタ $TR_p$ 、 $TR_n$ が同時にオンすることではなく、この場合も、同トランジスタ $TR_p$ 、 $TR_n$ に貫通電流が流れることが好適に防止されるようになる。

【0042】

以上説明したように、本実施の形態のバッファ回路によれば、以下のような効果を得ることができる。

(1) タイミング調整回路30によって、トランジスタ $TR_p$ 、 $TR_n$ が同時にオンすることのないスイッチング信号 $P_{in}$ 、 $N_{in}$ が形成される。そのため、同トランジスタ $TR_p$ 、 $TR_n$ に大きな貫通電流の流れることが好適に防止され、同トランジスタ $TR_p$ 、 $TR_n$ の信頼性を向上させるとともに、当該バッファ回路としての消費電力を低下させることができるようになる。

【0043】

(2) また、タイミング調整回路30を2個のインバータ回路31、32という極めて簡素な構成により形成することができる。そのため、従来のバッファ回路にわずかな回路構成を追加するのみで本バッファ回路を形成することができ、その追加コストを少なく抑えることができる。

【0044】

なお、上記実施の形態は以下のようにその構成を変更して実施することもできる。

・ タイミング調整回路30の回路構成は、先の図2に示した構成に限られない。要は、トランジスタ $TR_p$ 、 $TR_n$ が同時にオンすることのないスイッチング信号 $P_{in}$ 、 $N_{in}$ を形成することのできる回路であればよい。

【0045】

・ Nチャネル型MOSトランジスタ $TR_n$ のソースSをグランド電位GND（0ボルト）とする例を示したが、同ソースSを負電位とする回路についても同様に適用することができる。

【0046】

(第3の実施の形態)

以下、第3の実施の形態として、本発明にかかるバッファ回路を備えるドライバについて、その一実施の形態を図5を参照して説明する。なお、本実施の形態のドライバは、周知のフレームトランスファ型CCDイメージセンサを駆動するもので、詳しくは同CCDの撮像部に発生した電荷を蓄積部に一挙に転送する、いわゆる電荷の垂直転送駆動を実現する装置として、1チップのIC（集積回路装置）として形成される。

【0047】

同図5に示すように、本実施の形態のドライバは、昇圧制御回路41、低電圧発生用チャージポンプ42、高電圧発生用チャージポンプ43、垂直ドライブ回路44及び電子シャッタドライブ回路45等を備えて構成される。

【0048】

ここで、上記昇圧制御回路41は、CCD駆動用の各種クロック信号を発生するタイミング発生回路からの昇圧クロックに基づき、上記低電圧発生用チャージポンプ42及び高電圧発生用チャージポンプ43による昇圧態様を制御する回路である。

【0049】

また、低電圧発生用チャージポンプ42は、上記昇圧制御回路41の制御に基づき、システム電源電圧VDDを負電圧側に昇圧した例えば「 $-3VDD$ 」の電圧を生成して、同電圧を上記高電圧発生用チャージポンプ43、垂直ドライブ回路44及び電子シャッタドライブ回路45に供給する回路である。

【0050】

なお、このチャージポンプ42は、図6に例示するように、基本構成として4個のスイッチングトランジスタTR1、TR2、TR3、TR4、3個のポンピングキャパシタC1、C2、C3、及び出力キャパシタCout等を備えて構成されている。また、印加されるクロック信号によってスイッチングトランジスタTR1、TR2、TR3、TR4が同時に導通状態となることのないよう、それらクロック信号のタイミングを調整するタイミング調整回路50、及び同トラン

ジスタTR1, TR2, TR3, TR4のオフ状態を確実に維持するCMOSインバータ1, 2, 3, 4を備えている。

#### 【0051】

また、先の図1に示したタイプのバッファ回路（以下、AND/OR型バッファ回路という）B1を備えている。具体的には、同図6に示されるように、本CCDドライバに外付けされるポンピング用コンデンサC1, C2, C3に入力されるポンピングクロックのバッファ回路として備えられている。そのため、同低電圧発生用チャージポンプ42といった、動作頻度が高く、スイッチングに伴なう消費電力が多くなる回路にあっても、そのバッファ回路として確実な動作を保証しつつ、その貫通電流を防止し、ひいてはその消費電力を低減することができるようになる。

#### 【0052】

また、高電圧発生用チャージポンプ43は、上記昇圧制御回路41の制御に基づき、システム電源電圧VDD及び上記低電圧発生用チャージポンプ42の出力電圧からCCDバイアス用の所定の高電圧（正電圧）を発生し、これをCCD負荷に供給する回路である。

#### 【0053】

なお、このチャージポンプ43も、基本的には先の図6に例示するチャージポンプ回路を有して構成されるもので、スイッチングトランジスタ、ポンピングキャパシタ、出力キャパシタ、タイミング調整回路、及びCMOSインバータ等を備えて構成されている。なお、正電圧発生用にその構成の一部は異なるものとなっている。例えば、スイッチングトランジスタはPチャネル型MOSトランジスタにて構成されている。

#### 【0054】

また、先の図3に示したタイプのバッファ回路（以下、tr/tf型バッファ回路という）B2を備えている。具体的には、上記低電圧発生用チャージポンプ42と同様に、本CCDドライバに外付けされるポンピング用キャパシタC1aに入力されるポンピングクロックのバッファ回路として備えられている。そのため、同高電圧発生用チャージポンプ43といった、高電圧を扱うためにその構成

トランジスタそのものの規模が大きくなる回路にあっても、そのバッファ回路としてわずかな回路構成を追加するだけで、その貫通電流を好適に防止することができるようになる。

## 【 0 0 5 5 】

また、垂直ドライブ回路 4 4 は、垂直ブランキング期間において、タイミング発生回路から入力される CCD 垂直転送用クロック信号を、システム電源電圧 VDD 及び上記低電圧発生用チャージポンプ 4 2 の出力電圧に基づき所定のレベル（負電圧を含む 3 値レベル）に変換し、これを垂直転送パルスとして CCD 負荷に供給する回路である。この垂直転送パルスの印加により、CCD の撮像部に発生した 1 画面分の電荷は同 CCD の蓄積部に転送される。

## 【 0 0 5 6 】

なお、この垂直ドライブ回路 4 4 は、上記  $t_r/t_f$  型バッファ回路 B 2 をその出力バッファ回路として備えている。そのため、同垂直ドライブ回路 4 4 内といた、比較的動作頻度の低い回路のバッファ回路として、上述同様、わずかな回路構成を追加するだけでその貫通電流を好適に防止することができるようになる。

## 【 0 0 5 7 】

また、電子シャッタドライブ回路 4 5 は、光蓄積期間において、タイミング発生回路から入力される電子シャッタ用クロック信号を、システム電源電圧 VDD 及び上記低電圧発生用チャージポンプ 4 2 の出力電圧に基づき所定のレベルに変換し、これを電子シャッタパルスとして CCD 負荷に供給する回路である。この電子シャッタパルスの印加により、CCD 撮像部の電荷はドレインに排出され、いわゆる電子シャッタ動作が行なわれる。

## 【 0 0 5 8 】

なお、この電子シャッタドライブ回路 4 5 も上記垂直ドライブ回路 4 4 と同様、上記  $t_r/t_f$  型バッファ回路 B 2 をその出力バッファ回路として備えている。そのため、同電子シャッタドライブ回路 4 5 といった、これも動作頻度の低い回路のバッファ回路として、わずかな回路構成を追加するだけでその貫通電流を好適に防止することができるようになる。

## 【0059】

以上ように構成される本実施の形態のバッファ回路を備えるドライバによれば、以下のような効果を得ることができる。

(1) ドライバ内の各構成回路に応じてそこに使用されるバッファ回路を、上記AND/OR型バッファ回路B1とtr/tf型バッファ回路B2とで使い分けしている。そのため、同ドライバ内の回路の消費電力を低減しつつ、その確実な動作を得ること、あるいは回路規模の増大を最小限に抑えることができるようになる。

## 【0060】

なお、上記実施の形態は以下のような形態で実施することもできる。

・上記AND/OR型バッファ回路B1及びtr/tf型バッファ回路B2は、ドライバ内において、上記チャージポンプ42、42、ドライブ回路44、45以外の回路で使用されるものであってもよい。

## 【0061】

・上記AND/OR型バッファ回路B1及びtr/tf型バッファ回路B2をフレームトランスファ型CCDを駆動するドライバに適用する例を示したが、本発明にかかるバッファ回路を備えるドライバは、インターライン型CCDを駆動するドライバにも同様に適用することができる。

## 【0062】

・さらに、本発明にかかるバッファ回路を備えるドライバは、CCDイメージセンサを駆動するドライバに限らず、バッファ回路を備えるあらゆるICに適用することができる。すなわち、動作頻度や扱う電圧の異なる複数の機能回路と、それら各回路にあって各々所定の緩衝動作を行うバッファ回路とが1チップのICとして混載されてなるバッファ回路を備えるドライバに対し、それら機能回路の動作頻度やその扱う電圧等に応じて上記AND/OR型バッファ回路B1とtr/tf型バッファ回路B2とを使い分けることでも、上記実施の形態に準じた効果を得ることはできる。

## 【図面の簡単な説明】

【図1】本発明にかかるバッファ回路についてその第1の実施の形態を示す

回路図。

【図 2】 同実施の形態の回路の動作を示すタイミングチャート。

【図 3】 本発明にかかるバッファ回路についてその第 2 の実施の形態を示す回路図。

【図 4】 同実施の形態の回路の動作を示すタイミングチャート。

【図 5】 第 3 の実施の形態として、本発明にかかるバッファ回路を備えるドライバの構成を概略的に示すブロック図。

【図 6】 同実施の形態のチャージポンプ回路についてその一例を示す回路図。

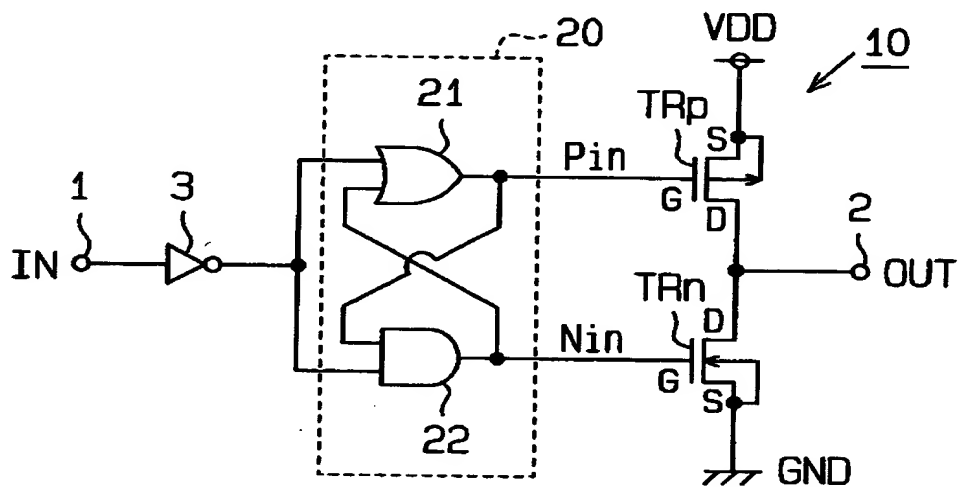
【図 7】 従来のバッファ回路についてその構成を示す回路図。

【符号の説明】

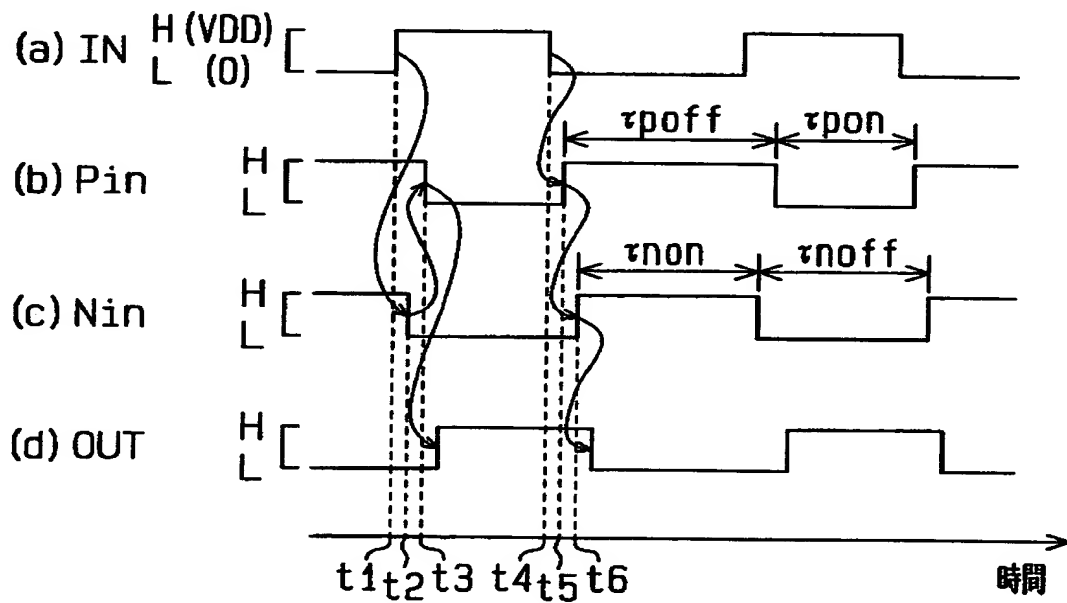
1…入力端子、2…出力端子、3…インバータ回路、10…出力段CMOSインバータ回路、20, 30…タイミング調整回路、42…低電圧発生用チャージポンプ、43…高電圧発生用チャージポンプ、44…垂直ドライブ回路、45…電子シャッタドライブ回路、TR<sub>n</sub>…Nチャネル型MOSトランジスタ、TR<sub>p</sub>…Pチャネル型MOSトランジスタ。

【書類名】 図面

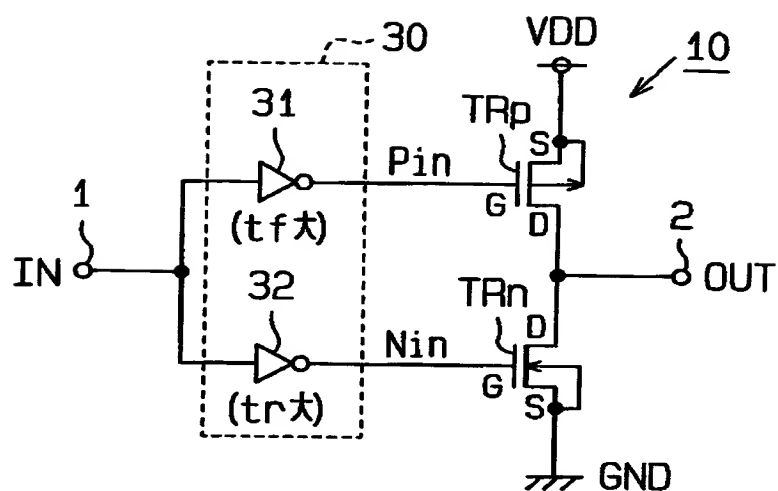
【図 1】



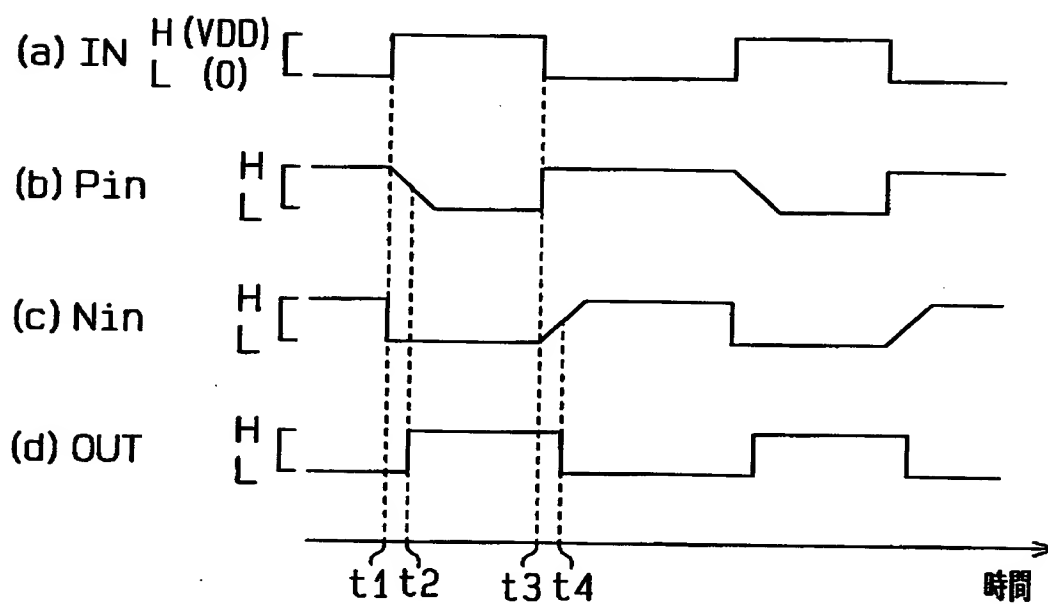
【図 2】



【図 3】

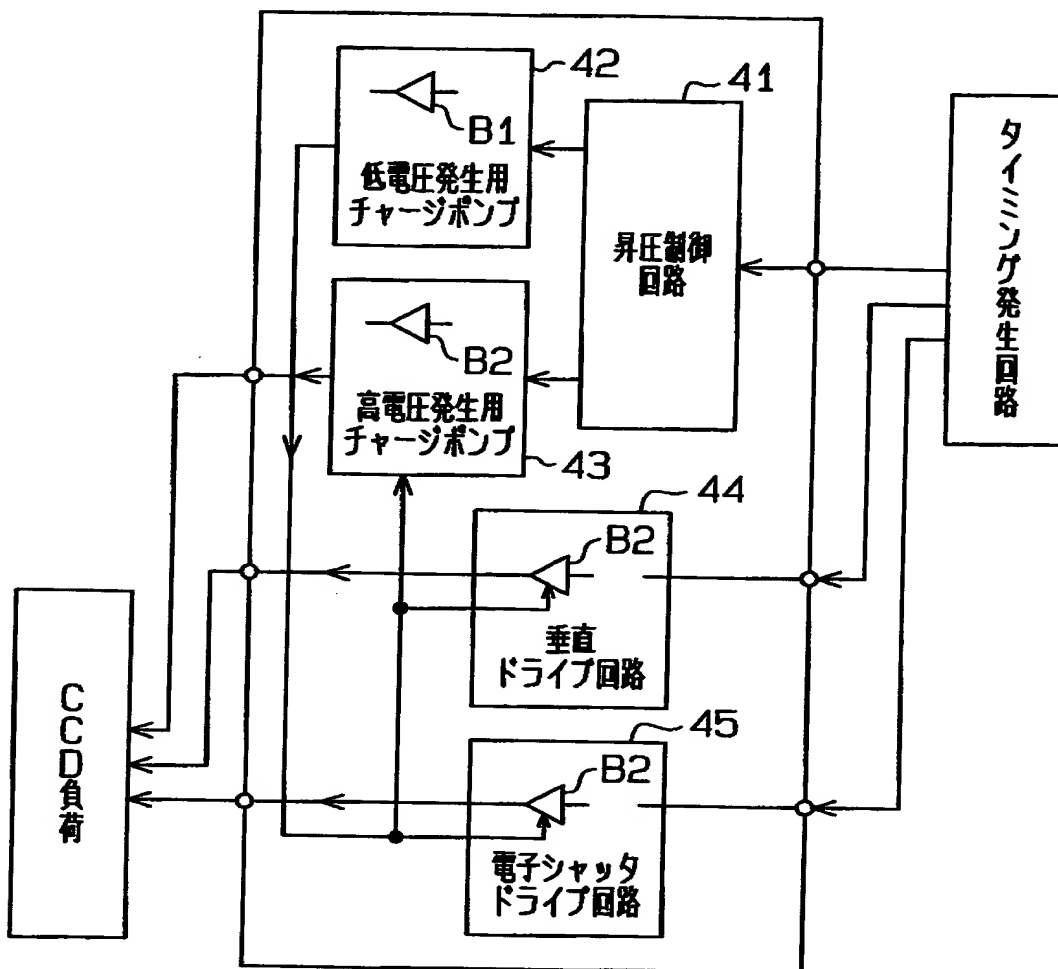


【図4】

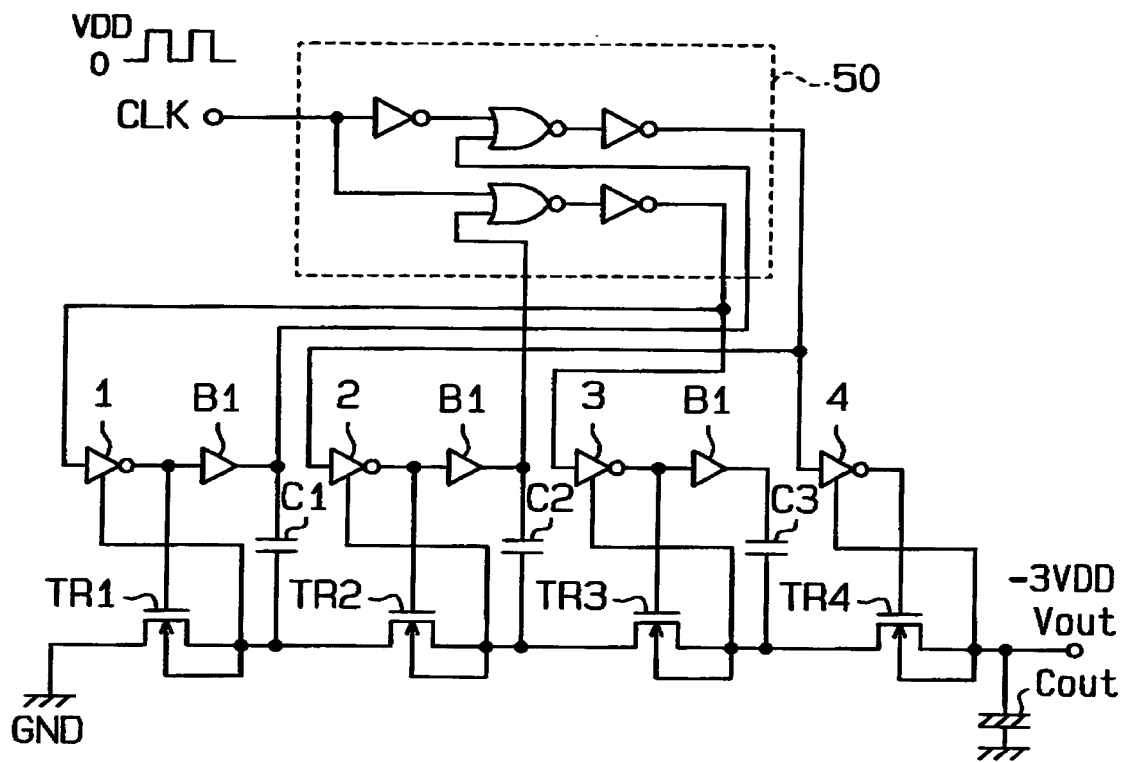




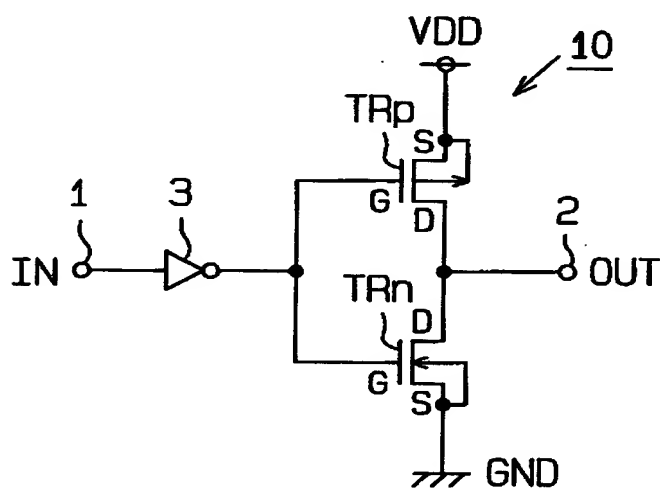
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】出力段にCMOSインバータ回路を備えながらもその貫通電流を好適に防止することの可能なバッファ回路を提供する。

【解決手段】バッファ回路は、インバータ回路3、OR回路21及びAND回路22の並列回路からなるタイミング調整回路20、Pチャネル型MOSトランジスタTR<sub>p</sub>とNチャネル型MOSトランジスタTR<sub>n</sub>との直列回路からなる出力段CMOSインバータ回路10等を備えて構成される。タイミング調整回路20は、トランジスタTR<sub>p</sub>及びトランジスタTR<sub>n</sub>を同時にオンさせないために、トランジスタTR<sub>p</sub>のオフ期間内においてトランジスタTR<sub>n</sub>のオン期間が形成されるトランジスタTR<sub>n</sub>のゲート制御信号N<sub>i</sub>n、及びトランジスタTR<sub>n</sub>のオフ期間内においてトランジスタTR<sub>p</sub>のオン期間が形成されるトランジスタTR<sub>p</sub>のゲート制御信号P<sub>i</sub>nを各々形成する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社